

**1 D4 - TEKKOM B**



**DECODER 7 SEGMENT**

**PART 2**



Nama : Septian Bagus Jumantoro

Kelas : 1 – D4 Teknik Komputer B

NRP : 3221600039

Dosen : Reni Soelistijorini B.Eng., MT.

Mata Kuliah : Praktikum Rangkaian Logika 2

Hari/Tgl. Praktikum : Jumat, 13 Mei 2022

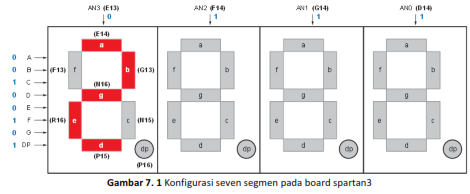
**Percobaan 7 – Decoder 7 Segmen**

1. **Tujuan**

* Mampu mengimplementasikan algoritma decoder 7 segmen.
* Dapat menampilkan nilai masukan keluaran pada 7 segmen dalam modul FPGA.

1. **Teori**

Pada percobaan ini akan mempelajari beberapa rangkaian kombinasional yaitu BCD to 7’segmen.  Rangkaian BCD to 7’segmen adalah rangkaian kombinasional yang mengkodekan bilangan biner  menjadi bilangan desimal, selanjutnya bilangan tersebut di konfigurasi menjadi tampilan seven  segmen. Konfigurasi seven segmen pada board spartan 3 ditunjukan pada gambar 7.1.

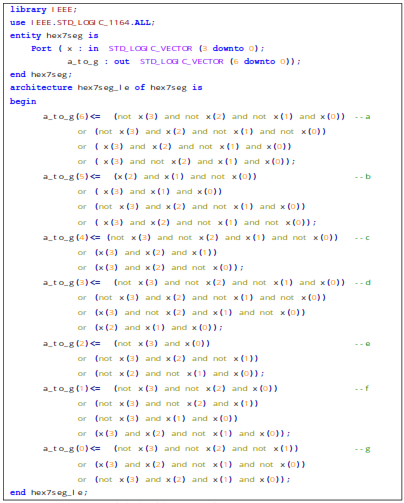


Terdapat 4 buah sevensegmen yang disusun secara pararel dengan data 1-g dan dot di rangkai menjadi satu. Sedangkan kendali tampilan di atur melalui pin AN di setiap segmen.

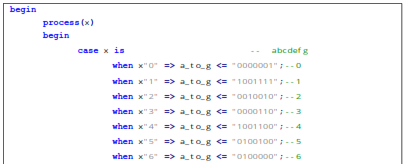
1. **Alat dan Bahan**
2. PC yang sudah terinstall ISE 13.1
3. Xilinx Sparatan 3
4. Downloader JTAG USB
5. Power Supply 5 volt
6. **Langkah Percobaan**
7. **7 Segmen Display.**

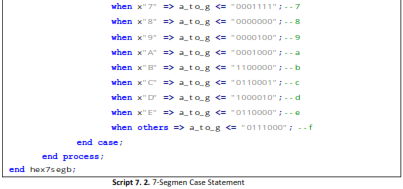
Percobaan ini akan membuat program dengan masukan switch dan keluaran 7segmen.

1. Buatlah new project dengan nama Lab7A.
2. Tambahkan program dibawah ini.
3. 7-segmen Decoder dengan Logic Equation

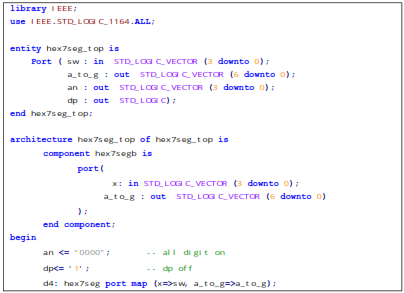


1. 7-Segmen Decoder Case Statement





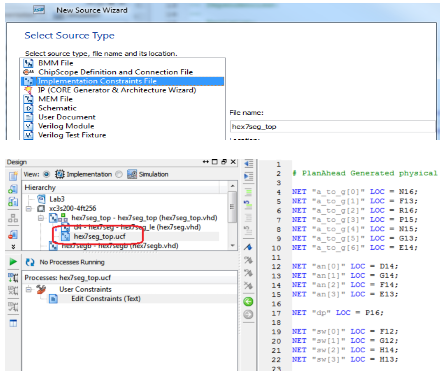
1. 7-Segmen Top Level





1. Atur agar program hex7seg\_top menjadi Top modul.
2. Lakukan Synthezises‐XST, pastikan tidak ada error.
3. Tambahkan konfigurasi pin dengan cara tambahkan new source| Implementation Contraints File. Beri nama hex7seg\_top.

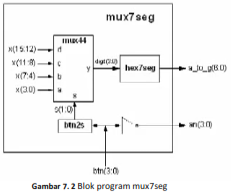




1. Klik Pada jendela hex7seg\_top.ucf dan isikan konfigurasi pin seperti gambar diatas.
2. Lakukan SynthezisesXST |  Implement Design | Generate programming File sampai dengan programming ke board Spartan‐3 FPGA.
3. Atur switch sesuai dengan 1 digit angka terakhir nrp anda.
4. Foto hasil tampilan seven segmen.
5. **Multiplexing 7-Segmen**

Percobaan ini untuk menampilkan data angka “1234” ke 7segmen dengan pengaturan tampilan dari enable  7segmen melaui push botton.

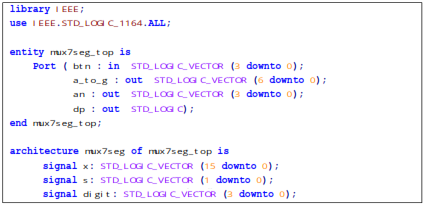
Blok program ditunjukkan pada gambar 7.2.

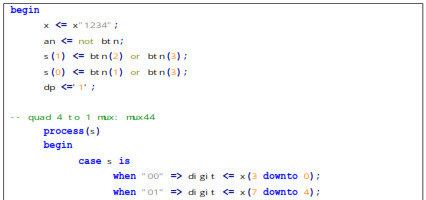


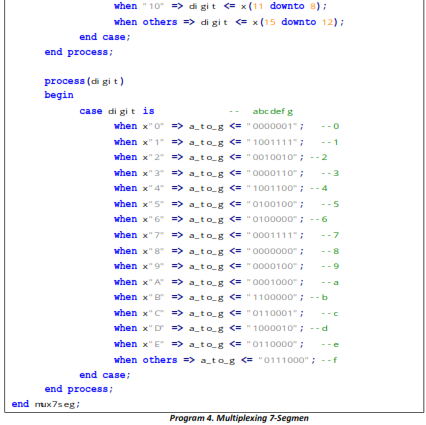
1. Buatlah new project dengan nama Lab7B.
2. Tambahkan Program baru dengan nama mux7seg\_top.
3. Pastikan top modul pada mux7seg\_top.vhd.



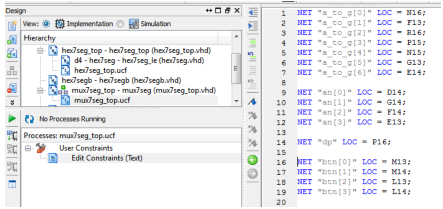
1. Tulis program mux7seg\_top.vhd berikut ini.







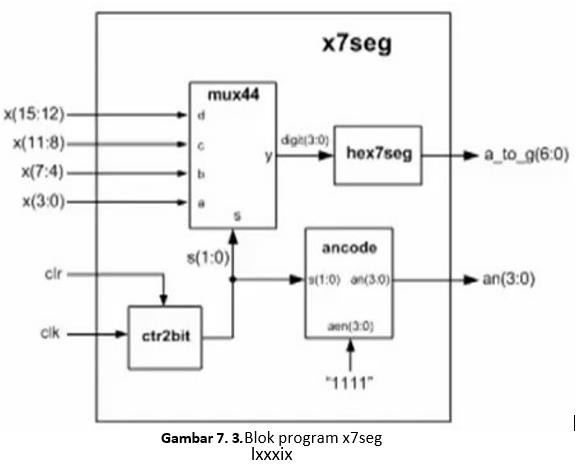
1. Tambahkan file .ucf untuk konfigurasi pin. Seperti dibawah ini.



1. Jalankan programnya dan upload program ke dalam chip FPGA‐nya
2. Ubah program agar tampilkan di seven segmen adalah 4 digit terakhir NRP

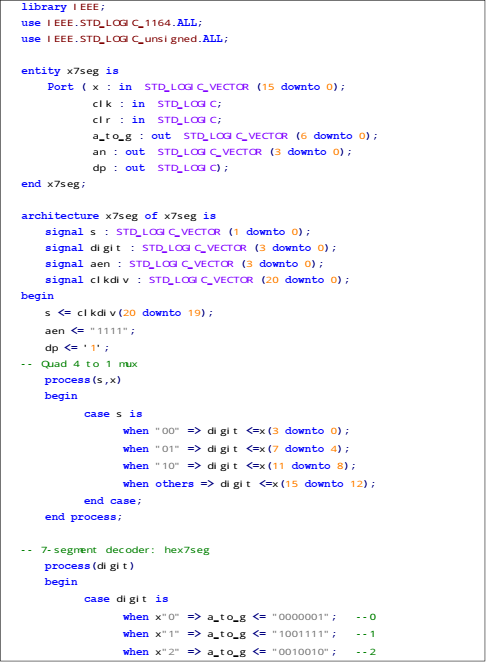
anda.

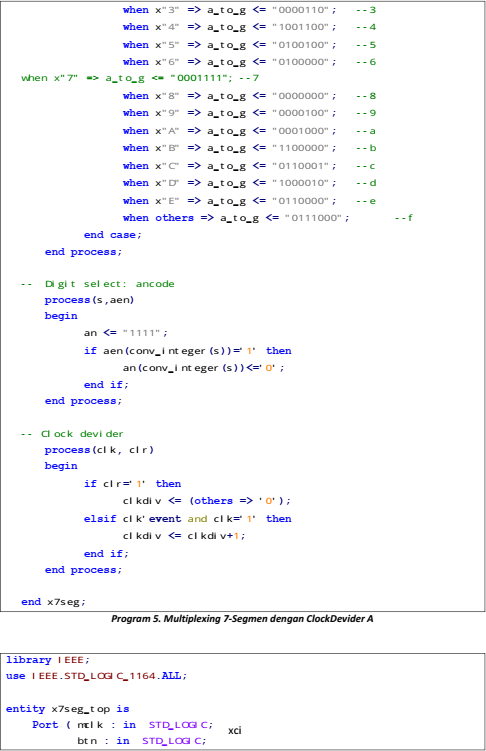
1. Fotokan hasil tampilannya.
2. **Multiplexing 7segmen Display dengan ClockDevider**

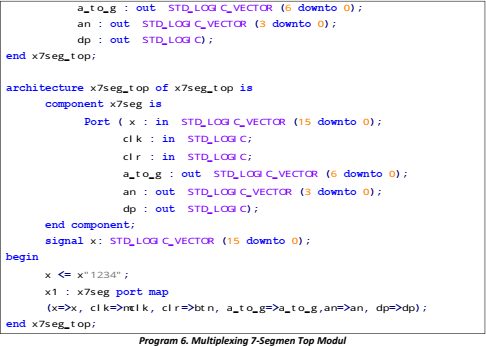
Tampilan dari empat 7segmen akan diatur secara otomatis oleh ClockDevider. Ada 2 modelprogram yang akan ditampilkan yaitu ***x7seg*** dan ***x7segb***.

x7seg.

* + 1. Buatlah ***new project*** dengan nama **Lab7C1.**
    2. Tambahkan program dibawah ini.
    3. Seperti pada langkah sebelumnya. Tambahkan program vhdl berikut ini.





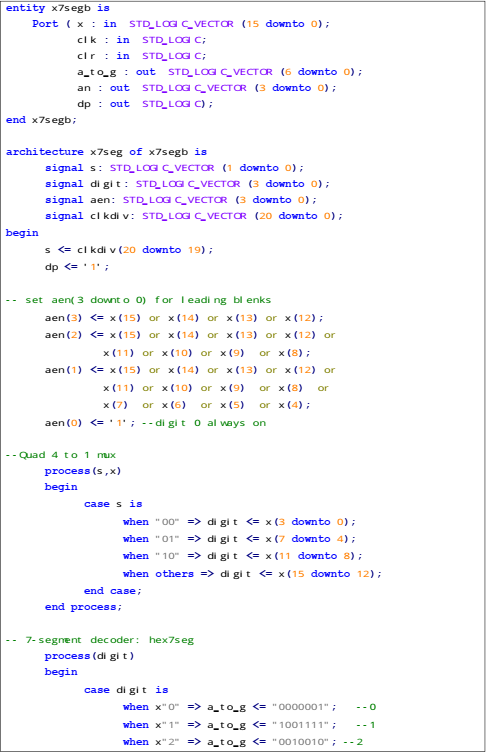


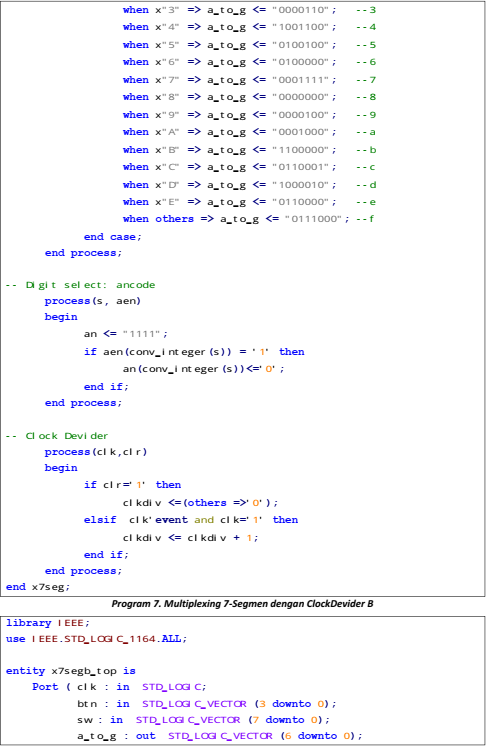
* + 1. Jalankan programnya dan upload program ke dalam chip FPGA‐nya
    2. Ubah program agar tampilkan di seven segmen adalah “Kelas(A/B)” – “0” ‐ 2 digit terakhirNRP anda.
    3. Fotokan hasil tampilannya.

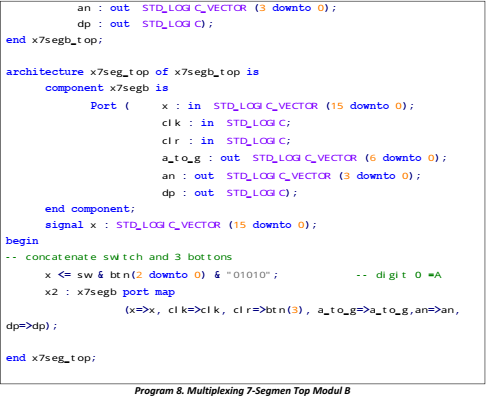
x7segb.

1. Buatlah ***new project*** dengan nama **Lab7C2.**
2. Tambahkan program dibawah ini.
3. Seperti pada langkah sebelumnya. Tambahkan program vhdl berikut ini.



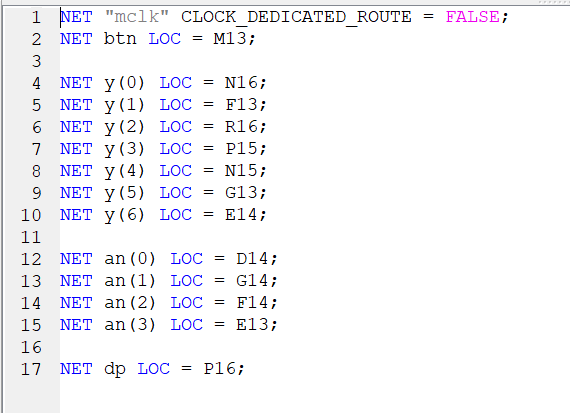






1. Jalankan programnya dan upload program ke dalam chip FPGA‐nya
2. Ubah program agar tampilkan di seven segmen adalah “CE” – 2 digit terakhir NRP anda.
3. Fotokan hasil tampilan seven segmen dan konfigurasi switch.
4. **Hasil Percobaan**

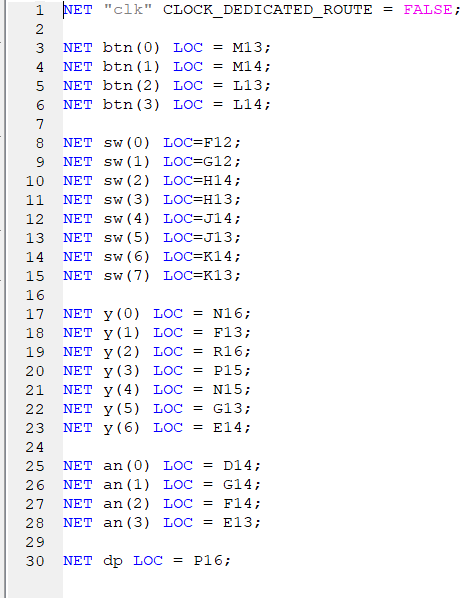
**Percobaan C - A**

Definisi Pin

Tampilan Pada Board

**Tampilan b039 pada 7 segment display**

**Percobaan C - B**

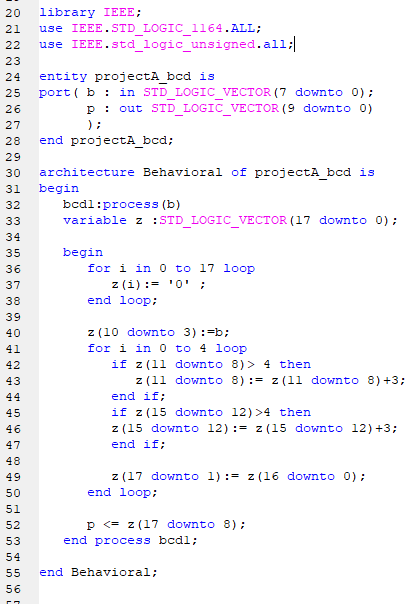
Definisi Pin



Tampilan pada Board

**Tampilan CE39 pada 7 segment display**

**Mini Project**

 Source Code Binary to BCD

Source Code 7 Segment Decoder

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_unsigned.ALL; entity projectA is

port( x : in STD\_LOGIC\_VECTOR(15 downto 0);

clk : in STD\_LOGIC; clr : in STD\_LOGIC;

y : out STD\_LOGIC\_VECTOR(6 downto 0); an : out STD\_LOGIC\_VECTOR(3 downto 0); dp : out STD\_LOGIC);

end projectA;

architecture Behavioral of projectA is

signal s : STD\_LOGIC\_VECTOR(1 downto 0); signal digit : STD\_LOGIC\_VECTOR(3 downto 0); signal aen : STD\_LOGIC\_VECTOR(3 downto 0); signal clkdiv : STD\_LOGIC\_VECTOR(20 downto 0);

begin

s <= clkdiv(20 downto 19); aen <= "1111";

dp <= '1';

process(s,x) begin

case s is

when "00" => digit <= x(3 downto 0); when "01" => digit <= x(7 downto 4); when "10" => digit <= x(11 downto 8); when others => digit <= x(15 downto 12);

end case; end process;

process(digit) begin

case digit is

when x"0" => y <= "0000001"; when x"1" => y <= "1001111"; when x"2" => y <= "0010010"; when x"3" => y <= "0000110"; when x"4" => y <= "1001100"; when x"5" => y <= "0100100"; when x"6" => y <= "0100000"; when x"7" => y <= "0001111"; when x"8" => y <= "0000000";

when others => y <= "0000100"; end case;

end process; process(s,aen) begin

an <= "1111";

if aen(conv\_integer(s)) = '1' then an(conv\_integer(s)) <= '0';

end if; end process; process(clk,clr) begin

if clr = '1' then

clkdiv <= (others => '0'); elsif clk' event and clk = '1' then

clkdiv <= clkdiv+1; end if;

end process; end Behavioral;

Top Modul

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL; use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_unsigned.ALL;

entity projectA\_top is port( clk : in STD\_LOGIC;

btn : in STD\_LOGIC;

sw : in STD\_LOGIC\_VECTOR(7 downto 0); y : out STD\_LOGIC\_VECTOR(6 downto 0); an : out STD\_LOGIC\_VECTOR(3 downto 0); dp : out STD\_LOGIC

);

end projectA\_top;

architecture Behavioral of projectA\_top is component projectA is

port( x : in STD\_LOGIC\_VECTOR(15 downto 0);

clk : in STD\_LOGIC; clr : in STD\_LOGIC;

y : out STD\_LOGIC\_VECTOR(6 downto 0); an : out STD\_LOGIC\_VECTOR(3 downto 0); dp : out STD\_LOGIC

);

end component;

component projectA\_bcd is

port( b : in STD\_LOGIC\_VECTOR(7 downto 0);

p : out STD\_LOGIC\_VECTOR(9 downto 0)

);

end component;

signal x: STD\_LOGIC\_VECTOR(15 downto 0); signal adder : STD\_LOGIC\_VECTOR(7 downto 0); signal bcd : STD\_LOGIC\_VECTOR(9 downto 0);

begin

adder <= bcd(7 downto 0)+1; x <= bcd(7 downto 0) & adder;

x1 :projectA port map( x => x,

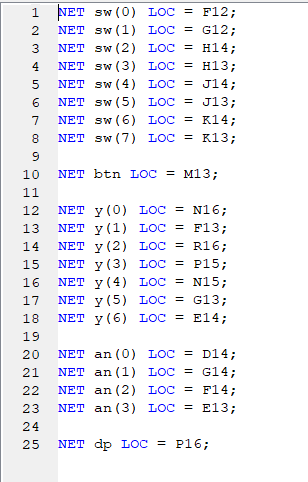
clk => clk, clr => btn, y => y,

an => an, dp => dp

);

x2 :projectA\_bcd port map( b => sw, p => bcd);

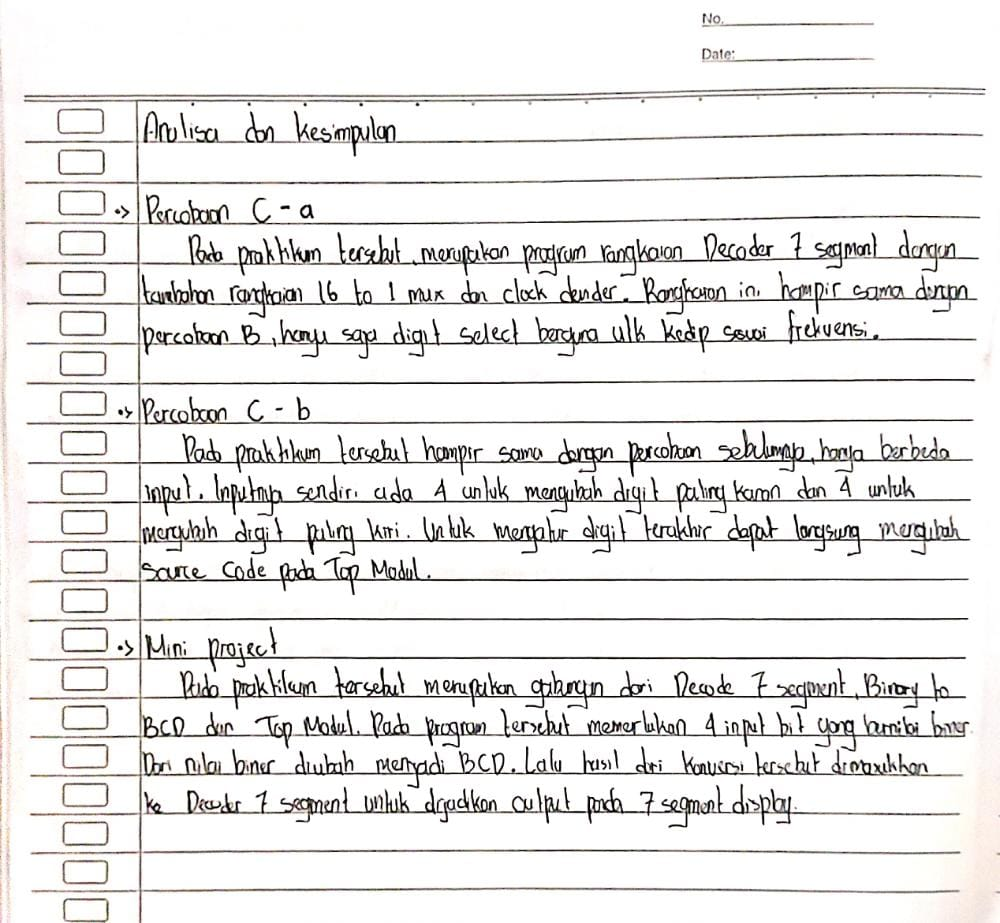
end Behavioral;

 Definisi Pin

 Tampilan pada Board

**2 digit paling kiri berasal dari input Biner Switch. 2 digit dari kanan merupakan nilai dari switch dengan +1**

**2 digit paling kiri berasal dari input Biner Switch. 2 digit dari kanan merupakan nilai dari switch dengan +1**

1. **Analisa dan Kesimpulan**